

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日
Date of Application: 2004年 1月14日

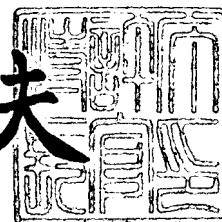
出願番号
Application Number: 特願2004-006828
ST. 10/C]: [JP2004-006828]

願人
Applicant(s): 株式会社デンソー

2004年 2月 6日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



出証番号 出証特2004-3007538

【書類名】 特許願
【整理番号】 N030902
【提出日】 平成16年 1月14日
【あて先】 特許庁長官殿
【国際特許分類】 G06F 11/22
【発明者】
 【住所又は居所】 愛知県刈谷市昭和町 1 丁目 1 番地 株式会社デンソー内
 【氏名】 伊藤 直紀
【発明者】
 【住所又は居所】 愛知県刈谷市昭和町 1 丁目 1 番地 株式会社デンソー内
 【氏名】 鈴木 亨市
【発明者】
 【住所又は居所】 愛知県刈谷市昭和町 1 丁目 1 番地 株式会社デンソー内
 【氏名】 石原 秀昭
【特許出願人】
 【識別番号】 000004260
 【氏名又は名称】 株式会社デンソー
【代理人】
 【識別番号】 100071135
 【住所又は居所】 名古屋市中区栄四丁目 6 番 1 5 号 名古屋あおば生命ビル
 【弁理士】
 【氏名又は名称】 佐藤 強
 【電話番号】 052-251-2707
 【ファクシミリ番号】 052-263-4634
【選任した代理人】
 【識別番号】 100119769
 【弁理士】
 【氏名又は名称】 小川 清
【先の出願に基づく優先権主張】
 【出願番号】 特願2003- 53658
 【出願日】 平成15年 2月28日
【手数料の表示】
 【予納台帳番号】 008925
 【納付金額】 21,000円
【提出物件の目録】
 【物件名】 特許請求の範囲 1
 【物件名】 明細書 1
 【物件名】 図面 1
 【物件名】 要約書 1
 【包括委任状番号】 9200169
 【包括委任状番号】 0217337

【書類名】 特許請求の範囲**【請求項 1】**

CPUと該CPUにより制御される周辺回路とが設けられたワンチップマイクロコンピュータの動作をエミュレートするための半導体集積回路装置において、

第1のリセット信号が与えられた場合には、前記CPUからのリセットベクタアドレスに応じたベクタアドレスを出力し、第2のリセット信号が与えられた場合には、前記CPUからのリセットベクタアドレスに替えて所定のベクタアドレスを出力するベクタアドレス切替回路と、

前記CPUと外部回路との間でエミュレーションに関する情報を入出力するインターフェース回路とを備え、

前記CPUは、前記第1および第2のリセット信号によりリセットされ、

前記インターフェース回路は、前記第2のリセット信号によりリセットされるように構成されていることを特徴とする半導体集積回路装置。

【請求項 2】

前記周辺回路は、その本来的な機能を実現するための機能回路に加え、前記CPUがその命令実行中に発生したブレーク要求を受け付けたことに応じて、当該ブレーク要求に対する処理が終了するまでの期間、前記機能回路の動作の進行を停止するように制御する停止制御回路と、この停止制御回路の動作停止機能を有効化しまたは無効化するための設定情報を記憶する設定情報記憶回路とを備えており、

前記周辺回路の機能回路は、前記第1および第2のリセット信号によりリセットされ、

前記停止制御回路と前記設定情報記憶回路は、前記第2のリセット信号によりリセットされるように構成されていることを特徴とする請求項1記載の半導体集積回路装置。

【請求項 3】

ユーザプログラムを格納するためのエミュレーションメモリとモニタプログラムを格納するためのモニタプログラムメモリとを備えていることを特徴とする請求項1または2記載の半導体集積回路装置。

【請求項 4】

前記CPUは、通常動作モードと当該通常動作モードに比べて消費電力が小さい低消費電力動作モードでの動作が可能であって、

前記CPUが低消費電力動作モードにある期間に外部からブレーク要求信号が入力された場合、低消費電力動作モードから通常動作モードに復帰させるウェイクアップ信号が入力されるのを待って、前記CPUをブレーク状態に移行させるブレーク要求制御回路を備えていることを特徴とする請求項1ないし3の何れかに記載の半導体集積回路装置。

【請求項 5】

前記ブレーク要求制御回路は、前記CPUが通常動作モードにある期間に前記ブレーク要求信号が入力された場合、そのブレーク要求信号を直ちに前記CPUに対して出力し、前記CPUが低消費電力動作モードにある期間に前記ブレーク要求信号が入力された場合、前記ウェイクアップ信号が入力された時に前記ブレーク要求信号を前記CPUに対して出力するように構成されていることを特徴とする請求項4記載の半導体集積回路装置。

【請求項 6】

前記第2のリセット信号によりリセットされるブレーク要求制御レジスタを備え、

前記ブレーク要求制御回路は、前記CPUが低消費電力動作モードにある期間に外部からブレーク要求信号が入力された場合、前記ブレーク要求制御レジスタの値に応じて、前記ウェイクアップ信号が入力されるのを待ってまたは直ちに前記CPUをブレーク状態に移行させるように構成されていることを特徴とする請求項4または5記載の半導体集積回路装置。

【請求項 7】

前記CPUが通常動作モードから低消費電力動作モードに移行した後、所定の設定時間が経過した時にウェイクアップ信号を発生させるウェイクアップ信号生成回路を備えていることを特徴とする請求項4ないし6の何れかに記載の半導体集積回路装置。

【請求項 8】

前記ウェイクアップ信号生成回路は、
前記CPUが低消費電力動作モードにある期間カウント動作を行うカウンタと、
前記設定時間に対応した設定カウント値を記憶する記憶回路と、
前記カウンタの値と前記記憶回路の設定カウント値とを比較し、前記カウンタの値が前記設定カウント値に達した時に前記ウェイクアップ信号を出力する比較回路とから構成されていることを特徴とする請求項7記載の半導体集積回路装置。

【請求項 9】

CPUと該CPUにより制御される周辺回路とからなるワンチップマイクロコンピュータが搭載される回路基板に前記ワンチップマイクロコンピュータの代わりに電氣的に接続された状態で前記ワンチップマイクロコンピュータの動作をエミュレートするための半導体集積回路装置を備えてなるマイクロコンピュータ開発支援装置において、

前記半導体集積回路装置によるエミュレーション条件の設定やエミュレーション結果のデータ処理などを行うためのホストを備え、

前記半導体集積回路装置は、

前記CPUと該CPUにより制御される周辺回路と、

前記回路基板から第1のリセット信号が与えられた場合には、前記CPUからのリセットベクタアドレスに応じたユーザプログラムのベクタアドレスを出力し、前記ホストから第2のリセット信号が与えられた場合には、前記CPUからのリセットベクタアドレスに替えてモニタプログラムのベクタアドレスを出力するベクタアドレス切替回路と、

前記CPUと外部回路との間でエミュレーションに関する情報を入出力するインターフェース回路とを備え、

前記CPUは、前記第1および第2のリセット信号によりリセットされ、

前記インターフェース回路は、前記第2のリセット信号によりリセットされるように構成されていることを特徴とするマイクロコンピュータ開発支援装置。

【請求項 10】

前記半導体集積回路装置に内蔵された周辺回路は、その本来的な機能を実現するための機能回路に加え、前記半導体集積回路装置に内蔵されたCPUがその命令実行中に発生したブレーク要求を受け付けたことに応じて、当該ブレーク要求に対する処理が終了するまでの期間、前記機能回路の動作の進行を停止するように制御する停止制御回路と、この停止制御回路の動作停止機能を有効化しまたは無効化するための設定情報を記憶する設定情報記憶回路とを備えており、

前記周辺回路の機能回路は、前記第1および第2のリセット信号によりリセットされ、

前記停止制御回路と設定情報記憶回路は、前記第2のリセット信号によりリセットされるように構成されていることを特徴とする請求項9記載のマイクロコンピュータ開発支援装置。

【請求項 11】

前記半導体集積回路装置は、前記ユーザプログラムを格納するためのエミュレーションメモリと前記モニタプログラムを格納するためのモニタプログラムメモリとを備えていることを特徴とする請求項9または10記載のマイクロコンピュータ開発支援装置。

【請求項 12】

前記CPUは、通常動作モードと当該通常動作モードに比べて消費電力が小さい低消費電力動作モードでの動作が可能であって、

前記半導体集積回路装置は、前記CPUが低消費電力動作モードにある期間に外部からブレーク要求信号が入力された場合、低消費電力動作モードから通常動作モードに復帰させるウェイクアップ信号が入力されるのを待って、前記CPUをブレーク状態に移行させるブレーク要求制御回路を備えていることを特徴とする請求項9ないし11の何れかに記載のマイクロコンピュータ開発支援装置。

【請求項 13】

前記ブレーク要求制御回路は、前記CPUが通常動作モードにある期間に前記ブレーク

要求信号が入力された場合、そのブレーク要求信号を直ちに前記CPUに対して出力し、前記CPUが低消費電力動作モードにある期間に前記ブレーク要求信号が入力された場合、前記ウェイクアップ信号が入力された時に前記ブレーク要求信号を前記CPUに対して出力するように構成されていることを特徴とする請求項12記載のマイクロコンピュータ開発支援装置。

【請求項14】

前記第2のリセット信号によりリセットされるブレーク要求制御レジスタを備え、

前記ブレーク要求制御回路は、前記CPUが低消費電力動作モードにある期間に外部からブレーク要求信号が入力された場合、前記ブレーク要求制御レジスタの値に応じて、前記ウェイクアップ信号が入力されるのを待ってまたは直ちに前記CPUをブレーク状態に移行させるように構成されていることを特徴とする請求項12または13記載のマイクロコンピュータ開発支援装置。

【請求項15】

前記CPUが通常動作モードから低消費電力動作モードに移行した後、所定の設定時間が経過した時にウェイクアップ信号を発生させるウェイクアップ信号生成回路を備えていることを特徴とする請求項12ないし14の何れかに記載のマイクロコンピュータ開発支援装置。

【請求項16】

前記ウェイクアップ信号生成回路は、

前記CPUが低消費電力動作モードにある期間カウント動作を行うカウンタと、

前記設定時間に対応した設定カウント値を記憶する記憶回路と、

前記カウンタの値と前記記憶回路の設定カウント値とを比較し、前記カウンタの値が前記設定カウント値に達した時に前記ウェイクアップ信号を出力する比較回路とから構成されていることを特徴とする請求項15記載のマイクロコンピュータ開発支援装置。

【書類名】明細書

【発明の名称】半導体集積回路装置およびマイクロコンピュータ開発支援装置

【技術分野】

【0001】

本発明は、ワンチップマイクロコンピュータの動作をエミュレートするための半導体集積回路装置および当該半導体集積回路装置を備えてなるマイクロコンピュータ開発支援装置に関する。

【背景技術】

【0002】

特許文献1に示されるエミュレータは、パワーオンリセットまたは強制リセット後において、ファームウェアを起動させることなくユーザプログラムを起動させて、エミュレータと応用システムに搭載されているCPUとのリアルタイム性を損なわずにデバッグを行うものである。複数のCPUにより構成されたマルチCPU方式の応用システムにおいて、CPUと同じ時間でプログラムが起動し、エバリュエーションチップのリセット直後におけるデバッグが行える点に特徴を有している。

【0003】

特許文献2に示されるインサーキットエミュレータは、ストップモードで発生した割り込み処理の終了後、再実行命令の入力に応じて、スタック領域に待避された戻り番地をダミーの戻り番地に書き換え、そのダミーの戻り番地の領域にストップモードに入れる命令、および次番地の領域にメインルーチンの戻り番地に無条件分岐する命令を書き込むことにより、ユーザプログラムを停止した前のストップモードの状態に戻すものである。

【特許文献1】特開平8-30478号公報

【特許文献2】特許第3410023号公報

【発明の開示】

【発明が解決しようとする課題】

【0004】

図7は、ICE（マイクロコンピュータ開発支援装置）に組み込まれたエバチップの従来構成を示している。このエバチップ1は、ターゲットチップ（図示せず）と同様に、CPU2および種々の周辺モジュール3を備えている。また、CPU2とICE本体（図示せず）との間のインターフェースを行うために、インターフェース回路4を備えている。周辺モジュール3は、データレジスタ、ステータスレジスタ、動作設定レジスタなどのレジスタ3a、3b、…を有しており、インターフェース回路4も、データレジスタ、ステータスレジスタ、動作設定レジスタなどのレジスタ4a、4b、…を有している。

【0005】

この従来構成において、ICEを操作することにより発生するリセット信号とターゲットシステムで発生するリセット信号とは同一のリセット信号RSTとされている。そして、このリセット信号RSTは、CPU2、周辺モジュール3およびインターフェース回路4に与えられている。

【0006】

ここで、例えばターゲットシステムでリセット信号が発生した場合、CPU2や周辺モジュール3とともにインターフェース回路4もリセットされてしまう。その結果、リセットされるごとに、インターフェース回路4を再設定（初期化）するためにモニタプログラムを起動し直す必要が生じ、実際のターゲットシステムにおいてリセット信号が生じたときの動作タイミングと、上記エバチップ1を用いてエミュレートする場合にリセット信号が生じたときの動作タイミングとが異なったものとなってしまう。

【0007】

本発明は上記事情に鑑みてなされたもので、その目的は、リセット信号発生直後の動作を正確にエミュレートすることができる半導体集積回路装置および当該半導体集積回路装置を備えてなるマイクロコンピュータ開発支援装置を提供することにある。

【課題を解決するための手段】

【0008】

請求項1、9に記載した手段によれば、第1のリセット信号が与えられた場合には、CPUは、そのリセットベクタアドレスに応じたベクタアドレスから（ユーザプログラムの）実行を開始し、第2のリセット信号が与えられた場合には、そのリセットベクタアドレスとは別のベクタアドレスから（モニタプログラムの）実行を開始する。この場合、インターフェース回路は、第1のリセット信号によりリセットされない。従って、例えばターゲットシステムである回路基板から第1のリセット信号が与えられた場合に、インターフェース回路を再設定（初期化）する必要がなく、モニタプログラムを起動することなく（既に起動されているモニタプログラムの管理下において）直接ユーザプログラムの実行を開始することができる。

【0009】

これにより、実際のターゲットシステムにおいてリセットが生じたときの動作タイミングと、半導体集積回路装置を用いてエミュレートする場合においてリセットが生じたときの動作タイミングとが一致し、リセット信号発生直後の動作を正確に評価することができるようになる。また、第2のリセット信号を与えれば、半導体集積回路装置全体をリセットすることができる。

【0010】

請求項2、10に記載した手段によれば、半導体集積回路装置内の周辺回路に設けられた設定情報記憶回路に動作停止機能を有効化する設定情報が記憶されている場合、CPUがその命令実行中に発生したブレーク要求を受け付けると、それに応じて、当該周辺回路は、当該ブレーク要求に対する処理が終了するまでの期間、機能回路の動作の進行を停止する。従って、半導体集積回路装置がブレーク要求に対するモニタ処理を実行している期間、周辺回路内部のレジスタにはブレーク要求受け付け時の値がそのまま保持されている。評価作業者は、この半導体集積回路装置が実行するモニタ処理を利用して、ブレーク要求受け付け時の周辺回路の動作状態を正確に認識することができる。

【0011】

ブレーク状態が解除されてCPUがブレーク要求前の動作状態（一般的にはユーザプログラムの実行状態）に復帰すると、周辺回路は停止していた動作の進行を再開する。その結果、CPUによるユーザプログラムの実行と周辺回路の動作とが同期して、ブレーク要求受け付け前の状態と連続性を有して再進行する。従って、本手段を用いることにより、ワンチップマイクロコンピュータの動作をブレークをかけながら継続的且つ正確にエミュレートすることができる。また、周辺回路の停止制御回路と設定情報記憶回路は、第1のリセット信号によりリセットされないため、第1のリセット信号に応じてこれらを再設定（初期化）する目的でモニタプログラムを起動する必要がない。

【0012】

請求項3、11に記載した手段によれば、ユーザプログラムを格納するためのエミュレーションメモリとモニタプログラムを格納するためのモニタプログラムメモリとを半導体集積回路装置の外部に設ける必要がない。

【0013】

請求項4、12に記載した手段によれば、CPUが低消費電力動作モードにある期間に外部からブレーク要求信号が入力された場合、そのブレーク要求信号が保留され、その後低消費電力動作モードから通常動作モードに復帰させるウェイクアップ信号が入力されたことを条件としてCPUがブレーク状態に移行する（この制御を、ブレーク保留制御と称す）。

【0014】

一般に、CPUは、ウェイクアップ信号を入力するとウェイクアップ要因フラグをセットし、ユーザプログラムでは、そのウェイクアップ要因フラグを参照してウェイクアップ要因を判別するようになっている。ブレーク要求信号が入力された時に直ちにブレーク状態に移行すると、ウェイクアップ要因フラグがセットされていないため、ブレーク点からの再実行時（ブレーク復帰時）に上記ユーザプログラムは想定外の状態と判断することに

なる。これに対し、本手段によれば、ウェイクアップ要因フラグがセットされた後にブレーク状態に移行するので、従来から用いられているユーザプログラムを用いても、ブレーク復帰時に正常に動作を継続できる。

【0015】

請求項5、13に記載した手段によれば、CPUが通常動作モードにある期間にブレーク要求信号が入力されると、そのブレーク要求信号は直ちにCPUに与えられ、CPUはブレーク状態に移行する。一方、CPUが低消費電力動作モードにある期間にブレーク要求信号が入力されると、そのブレーク要求信号はウェイクアップ信号が入力された時にCPUに与えられ、CPUはブレーク状態に移行する。

【0016】

請求項6、14に記載した手段によれば、ブレーク要求制御レジスタの値に従って、上記ブレーク保留制御の実行を許可または禁止することができる。例えば、ブレーク要求信号を入力してからCPUがブレーク状態に移行するまでの時間が、後述のタイムアウト時間との関係上許容されないような用途では、予めブレーク要求制御レジスタに「禁止」をセットしておけばよい。

【0017】

請求項7、15に記載した手段によれば、CPUが低消費電力動作モードにある期間、通信や端子入力などにより発生する通常のウェイクアップ信号の他に、ウェイクアップ信号生成回路による内部のウェイクアップ信号が発生する。従って、低消費電力動作モードにおいてブレーク要求信号が入力された場合、CPUは、通常のウェイクアップ信号が入力されるまで待つことなく、上記内部のウェイクアップ信号によりブレーク状態に移行することができる。低消費電力動作モードに移行してから上記内部のウェイクアップ信号が発生するまでの設定時間は、例えばマイクロコンピュータ開発支援装置のホスト側で管理するブレーク要求に対するタイムアウト時間よりも短く設定すればよい。

【0018】

請求項8、16に記載した手段によれば、ウェイクアップ信号生成回路は、低消費電力動作モードにある期間カウント動作を行うカウンタの値と、記憶回路に記憶された設定カウント値とを比較し、カウンタの値が設定カウント値に達した時にウェイクアップ信号を出力する。プログラムにおいて記憶回路（例えばレジスタ）の設定カウント値を書き換える命令を加えることにより、上記設定時間を容易に変更することができる。

【発明を実施するための最良の形態】

【0019】

（第1の実施形態）

以下、本発明の第1の実施形態について図1ないし図3を参照しながら説明する。

図1は、評価システム全体の電氣的構成を示す機能ブロック図である。ターゲットシステムとなる回路基板12は、評価対象のワンチップマイクロコンピュータ（以下、マイコンと称す）が搭載される基板であり、例えば車両のECU(Electric Control Unit)に收容されて用いられるものである。マイクロコンピュータ開発支援装置であるICE11(In Circuit Emulator)は、このマイコンの動作をエミュレートするために用いられる。

【0020】

回路基板12において評価対象のマイコンが搭載される部分には、当該マイコンに代えてソケット（図示せず）が搭載されている。そのソケットには、ICE本体から延びるエミュレーションケーブルの先端に配置されたPOD13（プローブ）が接続されるようになっている。後述するエバチップ14は、これらエミュレーションケーブルおよびPOD13を介して回路基板12に電氣的に接続されるようになっている。

【0021】

ICE11は、マイコンの動作をエミュレートするエバチップ14（半導体集積回路装置に相当）、メモリ部15、およびICEコントローラ16を介して繋がるパソコン17（ホストに相当）から構成されている。メモリ部15は、エバチップ14との間でデータを高速にやり取りするためのインターフェース回路18を備えており、このインターフェ

ース回路18にはエミュレーションメモリ19、モニタプログラムメモリ20、トレースメモリ21が接続されている。

【0022】

エミュレーションメモリ19は、パソコン17からダウンロードしたユーザプログラムを格納するためのメモリ(RAM)である。モニタプログラムメモリ20は、エバチップ14が実行するモニタプログラム(評価用プログラム、エミュレーションプログラム)が格納されるものであり、ROMまたはRAMにより構成されている。RAMとして構成されている場合、モニタプログラムは、エミュレーションを実行するのに先立ってパソコン17からダウンロードされるようになっている。

【0023】

トレースメモリ21は、トレースモードでのエミュレーションを実行するときに、その実行した命令が実行順に書き込まれて記憶されるようになっている。また、エバチップ14に内蔵されているプログラムカウンタや、割り込み要求フラグ、命令実行許可フラグなどの内蔵レジスタに関する情報なども記憶されるようになっている。

【0024】

エバチップ14は、最終的に回路基板12に搭載されるマイコンと同様にCPU22、各種の周辺モジュール23(図1には1つのみを示している)、周波数通倍回路24およびRAM25を備えている。周辺モジュール23(周辺回路に相当)は、タイマ、カウンタ、入出力ポート、シリアル通信部、A/D変換器、D/A変換器などを構成する機能回路26を備え、データレジスタや動作設定レジスタなどの種々のレジスタ26a、26b、26c、…は、図示しないアドレスバスとデータバスによりCPU22と接続されている。周波数通倍回路24は、エバチップ14の外から入力される基本クロックを通倍して生成したクロックCKをCPU22、周辺モジュール23、後述するインターフェース回路27などに供給するようになっている。

【0025】

さらに、エバチップ14には、メモリ部15とCPU22との間でデータを高速にやり取りするためのインターフェース回路27が設けられている。このインターフェース回路27は、入出力に係る動作モード等を設定するためのレジスタ27a、27b、…を備えている。また、CPU22がリセットされた場合に、CPU22から出力されたりセットベクタの切り替えを制御するベクタアドレス切替回路28を備えている。

【0026】

上記周辺モジュール23のうち、タイマ、非同期シリアル通信部など、動作を一時的に停止させても内部エラーが発生しないようなものには、動作設定レジスタ29と停止制御回路30とが設けられている。停止制御回路30は、CPU22からブレイク処理信号BKが入力されている期間、当該周辺モジュール23内の機能回路26の動作の進行を停止させるように機能する。例えばタイマであれば、ブレイク処理信号BKが入力されている期間タイマの計時動作が停止して、ブレイク処理信号BKの入力直前のタイマ値が保持される。ブレイク処理信号BKは、CPU22がユーザプログラムの実行中にブレイク割り込み要求(ブレイク要求信号)を受け付けた時に出力され、そのブレイク割り込み処理が終了するまでの期間出力され続ける。

【0027】

動作設定レジスタ29は、この停止制御回路30の機能を許可(有効化)するか禁止(無効化)するかの指令データを記憶するものである。この指令データは、CPU22によって書き込まれる。停止制御回路30は、この動作設定レジスタ29の指令データが「許可」である場合に限り上記停止制御を実行するようになっている。

【0028】

エバチップ14に対しては、2系統のリセット信号RST1、RST2が入力されるようになっている。第1のリセット信号RST1は、回路基板12からPOD13およびエミュレーションケーブルを介して入力されるターゲットリセットの信号で、第2のリセット信号RST2は、ICE11本体でユーザのリセット操作等によって入力されるICE

リセットの信号である。

【0029】

CPU22および周辺モジュール23の機能回路26（レジスタ26a、26b、26c、…を含む）のリセット端子には、リセット信号RST1とRST2がORゲート31を介して与えられており、これらCPU22および周辺モジュール23の機能回路26は、リセット信号RST1とRST2の何れによってもリセットされるようになっている。一方、周辺モジュール23の動作設定レジスタ29と停止制御回路30およびインターフェース回路18、27（レジスタ27a、27b、…を含む）は、リセット信号RST2によってのみリセットされるようになっている。

【0030】

次に、本実施形態の本実施例の作用について図2および図3も参照しながら説明する。

ユーザは、パソコン17上でICE用のソフトウェアを起動し、モニタプログラムをICE11のモニタプログラムメモリ20にダウンロードする。続いて、ターゲットシステム用に開発した評価対象であるユーザプログラムをエミュレーションメモリ19にダウンロードする。この状態でICE11本体をリセット操作するとリセット信号RST2が発生し、エバチップ14全体およびインターフェース回路18がリセットされる。

【0031】

図2（a）に示すように、エバチップ14内部に設けた遅延回路（図示せず）により所定の発振安定待ち時間が経過すると、CPU22が起動し、リセットベクタをアドレスバスを通してベクタアドレス切替回路28に出力する。ベクタアドレス切替回路28にはリセット信号RST1とRST2とが入力されており、当該リセットの種類（ターゲットリセット、ICEリセット）によってベクタアドレスを切り替える。ここでは、リセット信号RST2によるICEリセットであるため、ベクタアドレス切替回路28は、CPU22からの（ユーザプログラムの）ベクタアドレスに替えてモニタプログラムの先頭アドレスを指示するベクタアドレスを出力する。その結果、CPU22は、モニタプログラムの実行を開始する。

【0032】

図2（b）は、CPU22の処理内容を示すフローチャートである。CPU22は、起動したモニタプログラムに従って、インターフェース回路27内のレジスタ27a、27b、…に対し、所定の動作設定データを書き込む（ステップS1）。続いて、周辺モジュール23の動作設定レジスタ29に、停止制御回路30の機能を許可するための指令データを書き込む（ステップS2）。以上の初期設定が完了すると、ユーザプログラムの実行を開始する（ステップS3）。なお、通常のユーザプログラムは、その実行開始直後において、CPU22、機能回路26（レジスタ26a、26b、26c、…）、RAM25などの初期設定を行うようになっている。

【0033】

その後、ユーザ（評価作業）は、ブレイク条件を設定しながらターゲットシステムのデバッグを行っていく。ブレイク条件として、ブレイクアドレスの他、命令フェッチサイクル／データアクセスサイクル、リードサイクル／ライトサイクル、バイトアクセス／ワードアクセスなどの条件を設定することができる。

【0034】

命令実行中に設定したブレイク条件が成立すると、CPU22にブレイク割り込み要求が発生する。CPU22は、その割り込み要求を受け付けると、上記モニタプログラムの実行に移行する。この状態で、ユーザは、パソコン17を操作しながらそのモニタ画面上でCPU22内のレジスタ、RAM25、レジスタ26a、26b、26c、…の値などを確認することが可能となる。確認終了後、パソコン17から「GO」コマンドを入力すると、CPU22は割り込み処理からリターンして再びユーザプログラムの実行を開始する。

【0035】

図3は、周辺モジュール23の一例としてタイマを想定した場合におけるCPU22と

当該タイマの動作を示すタイミングチャート (a) と、従来構成 (図 7 参照) のエバチップ 1 に係るタイミングチャート (b) である。図 3 (a) において、CPU 22 がブレーク割り込み要求を受け付けた後リターンするまでの期間 (つまりモニタプログラムの実行中)、CPU 22 は H レベルのブレーク処理信号 BK を出力する。

【0036】

上述したように周辺モジュール 23 の動作設定レジスタ 29 には「許可」指令データが書き込まれているので、停止制御回路 30 は、ブレーク処理信号 BK が H レベルになるとタイマの計時動作を停止させる。このとき、タイマ値はブレーク処理信号 BK が H レベルになる直前の値のまま保持される。そして、ブレーク処理信号 BK が L レベルに戻ると、停止制御回路 30 はタイマの計時動作を再開させ、タイマ値はそれまで保持されていた値から再び変化を開始する。なお、動作設定レジスタ 29 に、停止制御回路 30 の機能を禁止するための指令データが記憶されている場合には、ブレーク処理信号 BK が入力されていても機能回路 26 の動作の進行は停止せず、図 3 (b) に示すようにタイマ値は増加する。

【0037】

こうしたデバッグ作業において、回路基板 12 からリセット信号 RST1 を与えると、CPU 22 と周辺モジュール 23 の機能回路 26 (上述の例で言えばタイマ回路) がリセットされる。この場合、ベクタアドレス切替回路 28 は、CPU 22 から出力されるベクタアドレス、すなわちユーザプログラムの先頭アドレスを指示するベクタアドレスをそのまま出力する。その結果、CPU 22 は、モニタプログラムではなくユーザプログラムの実行を開始する。このリセット信号 RST1 が与えられたときのユーザプログラムの実行開始タイミングは、実際のターゲットシステムにおけるリセット後のユーザプログラムの実行開始タイミングと等しくなる。

【0038】

このように、ターゲットリセットの後、モニタプログラムを介さずに直接ユーザプログラムの実行を開始できるのは、当該リセットによっては動作設定レジスタ 29、停止制御回路 30 およびインターフェース回路 18、27 がリセットされないためである。なお、ICE 11 の電源オンの場合または ICE 11 のシステムリセットの場合には、エバチップ 14 の全体がリセットされ、上述したようにモニタプログラムが起動される。

【0039】

以上説明したように、本実施形態によれば、エバチップ 14 には 2 系統のリセット信号 RST1、RST2 が入力され、CPU 22 は、リセット信号 RST1 が与えられた場合にはユーザプログラムの実行を開始し、リセット信号 RST2 が与えられた場合にはモニタプログラムの実行を開始する。また、周辺モジュール 23 の動作設定レジスタ 29 と停止制御回路 30 とは、リセット信号 RST1 によりリセットされない。従って、ターゲットシステムである回路基板 12 からリセット信号 RST1 が与えられた場合には、モニタプログラムを起動することなく、(既に起動されているモニタプログラムの管理下において) 直接ユーザプログラムの実行を開始することができる。

【0040】

その結果、実際のターゲットシステムにおいてリセット信号が生じたときの動作タイミングと、エバチップ 14 を用いてエミュレートする場合においてリセット信号 RST1 が生じたときの動作タイミングとが一致し、リセット直後の動作を正確に評価することができるようになる。

【0041】

また、エバチップ 14 内の周辺モジュール 23 に設けられた動作設定レジスタ 29 に停止制御を許可する指令データが記憶されている場合、CPU 22 がブレーク割り込み要求を受け付けると、周辺モジュール 23 の停止制御回路 30 は、当該ブレーク割り込み要求に対するモニタプログラムの処理が終了するまでの期間、機能回路 26 の動作の進行を停止する。従って、ユーザは、このエバチップ 14 が実行するモニタ機能を利用して、ブレーク割り込み要求の受け付け時における周辺モジュール 23 の動作状態を正確に把握する

ことができる。

【0042】

さらに、ブレーク状態が解除されてCPU22がブレーク要求前のユーザプログラムの実行状態に復帰すると、機能回路26は、停止していた動作の進行を再開する。その結果、CPU22によるユーザプログラムの実行と周辺モジュール23の動作とが同期して、ブレーク要求受け前の状態と連続性を有して再進行する。従って、ICE11を用いることにより、マイコンの動作をブレークをかけながら継続的且つ正確にエミュレートすることができる。

【0043】

(第2の実施形態)

次に、第1の実施形態に対しブレーク要求処理回路を追加した第2の実施形態について図4ないし図6を参照しながら説明する。

図4は、図1に示すエバチップ14内に追加して設けられるブレーク要求処理回路の電氣的構成図である。CPU22は、周波数通倍回路24からクロックCKの供給を受けて動作する通常動作モードの他に、クロックCKの供給が停止した状態で待機する低消費電力動作モード(スリープモード)を有している。この低消費電力動作モードでは、メインクロックCKが停止し、周辺モジュール23の動作も停止する。

【0044】

CPU22は、割り込み等により低消費電力動作モードに移行し、通信やインプットキャプチャなどのウェイクアップ要因が生じたことにより通常動作モードに復帰(ウェイクアップ)するようになっている。CPU22内には、発生した各ウェイクアップ要因を記憶するためのウェイクアップ要因フラグからなるウェイクアップレジスタが設けられており、プログラム中で当該ウェイクアップレジスタを参照することにより、ウェイクアップ要因を判別でき、ウェイクアップ要因に応じた処理を行うことができる。

【0045】

ブレーク要求制御回路32は、通常動作モードにある期間にICEコントローラ16からブレーク要求信号が入力された場合、ブレーク要求制御レジスタ33の値にかかわらず、そのブレーク要求信号を直ちにCPU22に対して出力するようになっている。

一方、ブレーク要求制御回路32は、低消費電力動作モードにある期間にICEコントローラ16からブレーク要求信号が入力された場合、ブレーク要求制御レジスタ33に「1」(許可)が書き込まれていると、その後何れかのウェイクアップ信号が入力された時にブレーク要求信号をCPU22に対して出力するようになっている。

【0046】

逆に、ブレーク要求制御レジスタ33に「0」(禁止)が書き込まれていると、こうしたブレーク保留制御は行わず、そのブレーク要求信号を直ちにCPU22に対して出力するようになっている。なお、ブレーク要求制御回路32は、リセット信号RST2によりリセットされるようになっている。

【0047】

ウェイクアップ信号生成回路38は、カウンタ34、時間設定レジスタ36および比較回路37により構成されている。カウンタ34は、通常動作モードにある期間はカウント値を0としたままカウントを停止し、低消費電力動作モードにある期間は、サブクロック発生回路35で生成されるサブクロックをアップカウントするようになっている。このサブクロック発生回路35は、低消費電力動作モードにおいても発振を継続するCR発振回路により構成されている。

【0048】

時間設定レジスタ36(記憶回路に相当)は、後述する設定時間T1に対応した設定カウント値N1を記憶するもので、比較回路37は、カウンタ34のカウント値Nが設定カウント値N1以上となった時にウェイクアップ信号を出力するようになっている。

通信やインプットキャプチャなどのウェイクアップ信号および比較回路37からのウェイクアップ信号は、OR回路39に入力されており、このOR回路39から出力される統

合されたウェイクアップ信号がCPU22に与えられるようになっている。なお、ウェイクアップ信号生成回路38は、ICEがブレークコマンドの入力に対するタイムアウトを管理していないような場合には、設ける必要がない。

【0049】

次に、本実施形態の作用、効果を説明する。

まず、図5に示すタイミングチャートを参照しながら、ブレーク要求制御回路32の動作を説明する。図5(a)は、ブレーク要求制御レジスタ33に「1」（ブレーク保留制御の許可）が書き込まれている場合のタイミングチャートで、(b)はブレーク要求制御レジスタ33に「0」（ブレーク保留制御の禁止）が書き込まれている場合のタイミングチャートである。

【0050】

(a) ブレーク保留制御が許可されている場合

CPU22がユーザプログラムを実行している状態（実行状態A）で低消費電力動作モードに移行した後、ICEコントローラ16からブレーク要求信号が入力されると、ブレーク要求制御回路32は、何れかのウェイクアップ要因が発生するまでブレーク要求信号を保留する。そして、ウェイクアップ信号が発生すると、そのブレーク要求信号をCPU22に対して出力し、CPU22はブレーク状態に移行する。

【0051】

その後、ユーザ（評価作業）がパソコン17から「GO」コマンドを入力すると、CPU22はウェイクアップレジスタを参照してウェイクアップ要因を特定し、そのウェイクアップ要因に応じた処理を実行する（実行状態B）。この状態からリターンすると、CPU22は、上記実行状態Aにおいて中断された処理からユーザプログラムの実行を再開する（実行状態C）。

【0052】

(b) ブレーク保留制御が禁止されている場合

低消費電力動作モードに移行した後、ICEコントローラ16からブレーク要求信号が入力されると、ブレーク要求制御回路32は、直ちにブレーク要求信号をCPU22に対して出力し、CPU22はブレーク状態に移行する。その後、ユーザ（評価作業）がパソコン17から「GO」コマンドを入力すると、CPU22はウェイクアップレジスタを参照する。しかし、ウェイクアップ要因は発生していないため、ユーザプログラムのエラー処理に移行する。ただし、何れのウェイクアップ要因も発生していない場合をエラーとしないようにユーザプログラムが作られている場合には、(a)と同様に実行状態Cに戻すこともできる。

【0053】

このように、低消費電力動作モードにおけるブレーク保留制御を許可すると、CPU22は何れかのウェイクアップ要因が発生するのを待ってブレーク状態に移行するので、「GO」コマンドが入力された場合のウェイクアップ処理において、何れかのウェイクアップレジスタの何れかのビット（ウェイクアップ要因フラグ）がセットされた状態となる。このため、ユーザは、ウェイクアップ処理に移行したにもかかわらず、何れのウェイクアップ要因フラグもセットされていない例外的な場合（マイコンの単独動作では通常あり得ない）を考慮することなく、プログラムを作成することができる。ただし、このような例外的な場合についても処理可能なようにユーザプログラムを作成した場合には、ブレーク要求制御レジスタ33に「0」を書き込むことにより、ブレークコマンドの入力直後にCPU22をブレーク状態に移行させることができる。

【0054】

続いて、図6に示すタイミングチャートを参照しながら、ウェイクアップ信号生成回路38の動作を説明する。図6(a)は、本実施形態のタイミングチャートで、(b)はウェイクアップ信号生成回路38が設けられていない場合のタイミングチャートである。

上述したブレーク保留制御を許可した場合、低消費電力動作モード中にブレーク要求信号の入力があっても、何れかのウェイクアップ要因が発生するまで、CPU22はブレー

ク状態に遷移することができない。しかし、マイクロコンピュータ開発支援装置（ICE）の中には、ブレークコマンドの入力からブレークの受け付けまでの時間を管理しているものがあり、図6（b）に示すようにタイムアウト時間 T_o を超えるとタイムアウトエラーが生じる。

【0055】

そこで、本実施形態では、通常動作モードから低消費電力動作モードに移行してから設定時間 T_1 （ $< T_o$ ）が経過した時に強制的にウェイクアップ信号を発生させ、CPU22をブレーク状態に遷移させている。具体的には、低消費電力動作モードに移行すると、カウンタ34がサブクロックを0からアップカウントし、そのカウント値 N が設定時間 T_1 に対応した設定カウント値 N_1 （図6（a）では15に設定されている）に達した時に、比較回路37がウェイクアップ信号を出力する。

【0056】

その結果、上記設定時間 T_1 をタイムアウト時間 T_o よりも小さく設定しておくことにより、通信やインプットキャプチャなどの通常のウェイクアップ要因が発生しない場合でも、ICEのタイムアウト時間 T_o 内に確実に内部的なウェイクアップ要因が発生し、ブレーク要求信号に応じてブレーク状態に遷移させることができる。なお、低消費電力動作モードに移行した後、ブレーク要求信号が入力されることがないまま上記内部的なウェイクアップ要因が発生した場合およびブレーク要求信号は入力されたが通信や端子入力などにより発生する通常のウェイクアップ信号が発生しないまま上記内部的なウェイクアップ要因が発生した場合には、一旦ユーザプログラムの実行状態に戻った後、内部的なウェイクアップ要因でウェイクアップしたことをウェイクアップ要因フラグにより判断し、再度低消費電力動作モードに移行させればよい。

【0057】

（その他の実施形態）

本発明は上記し且つ図面に示す各実施形態に限定されるものではなく、例えば以下のように変形または拡張が可能である。

設定情報記憶回路は、動作設定レジスタ29のみならず、メモリや外部からエバチップ14に印加する信号を記憶するハードウェア回路などにより構成してもよい。

【0058】

停止制御回路が機能回路26の動作の進行を停止させる手段としては、例えばタイマの場合、クロックCKとタイマ（カウンタ）との間にゲート回路を設け、停止制御回路からの許可／停止信号によりゲート回路を開閉する構成が考えられる。

インターフェース回路27とベクタアドレス切替回路28とは独立した構成としてもよい。

エミュレーションメモリ19とモニタプログラムメモリ20をRAMまたはフラッシュメモリにより構成してエバチップ14内に設けてもよい。

【0059】

第2の実施形態において、低消費電力動作モード中にブレーク要求信号の入力があつた時に、カウンタ34がカウントを開始するように構成してもよい。また、ブレーク要求制御レジスタ33は適宜設ければよい。さらに、ブレーク要求制御レジスタ33の値（0／1）とブレーク保留制御の禁止／許可との対応関係は、上述したものとは逆の関係つまり「0」が許可、「1」が禁止であってもよい。

【図面の簡単な説明】

【0060】

【図1】 本発明の第1の実施形態を示すICE全体の電氣的構成図

【図2】 （a）はICEのリセット後の動作を示すフローチャート、（b）はCPUの処理内容を示すフローチャート

【図3】 CPUとタイマの動作を示すタイミングチャート

【図4】 本発明の第2の実施形態を示すブレーク要求処理回路の電氣的構成図

【図5】 低消費電力動作モード中にブレーク要求信号が入力された場合のタイミング

チャート

・【図 6】図 5 相当図

【図 7】従来技術を示すエバチップの概略的な電氣的構成図

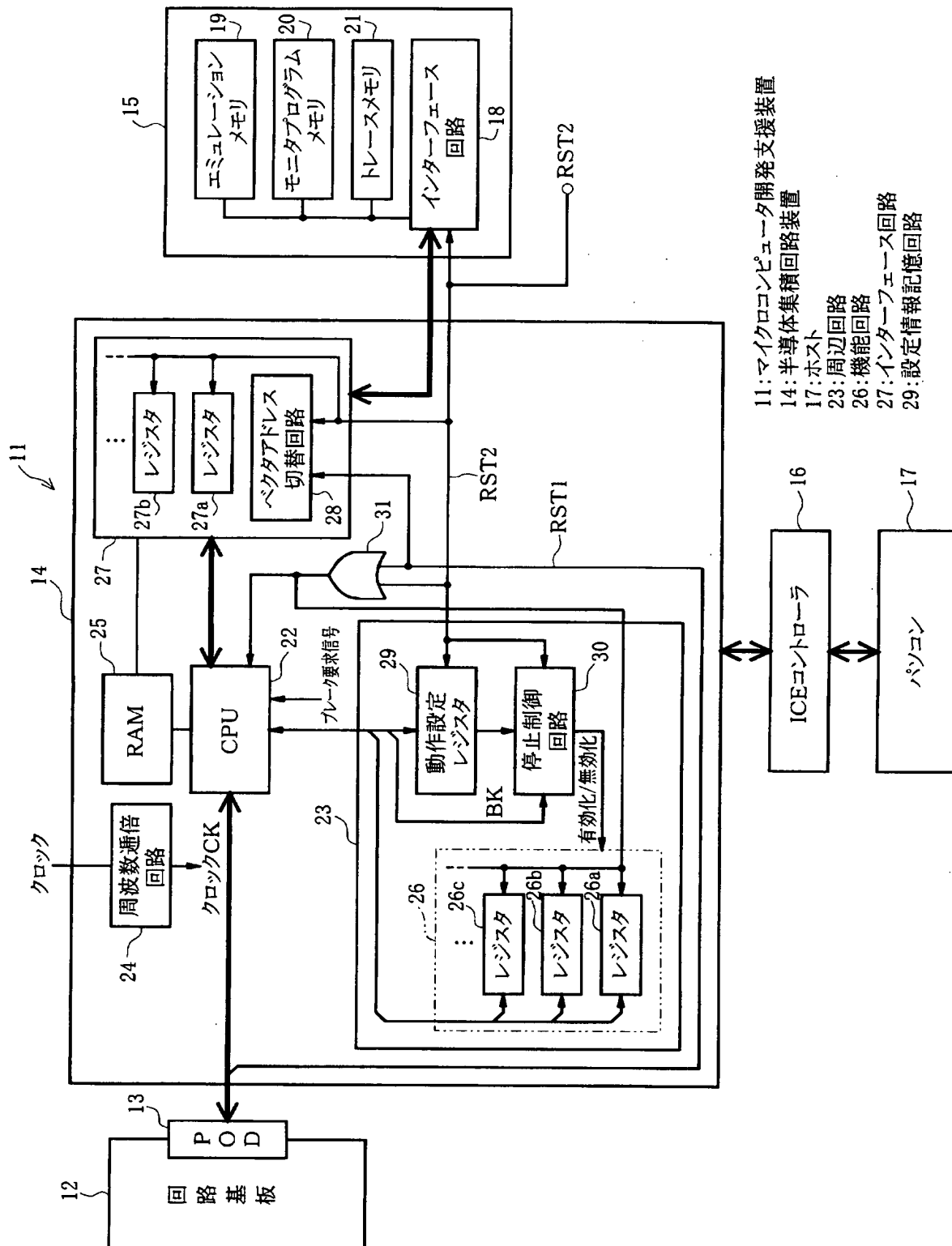
【符号の説明】

【 0 0 6 1 】

1 1 は I C E（マイクロコンピュータ開発支援装置）、1 4 はエバチップ（半導体集積回路装置）、1 7 はパソコン（ホスト）、2 2 は C P U、2 3 は周辺モジュール（周辺回路）、2 6 は機能回路、2 7 はインターフェース回路、2 8 はベクタアドレス切替回路、2 9 は動作設定レジスタ（設定情報記憶回路）、3 0 は停止制御回路、3 2 はブレーク要求制御回路、3 3 はブレーク要求制御レジスタ、3 4 はカウンタ、3 6 は時間設定レジスタ（記憶回路）、3 7 は比較回路、3 8 はウェイクアップ信号生成回路である。

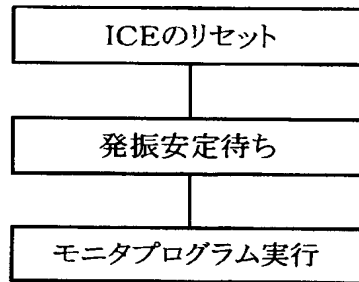
【書類名】 図面

【図 1】

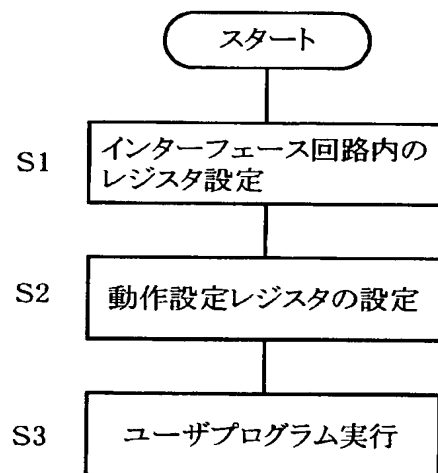


【図 2】

(a)

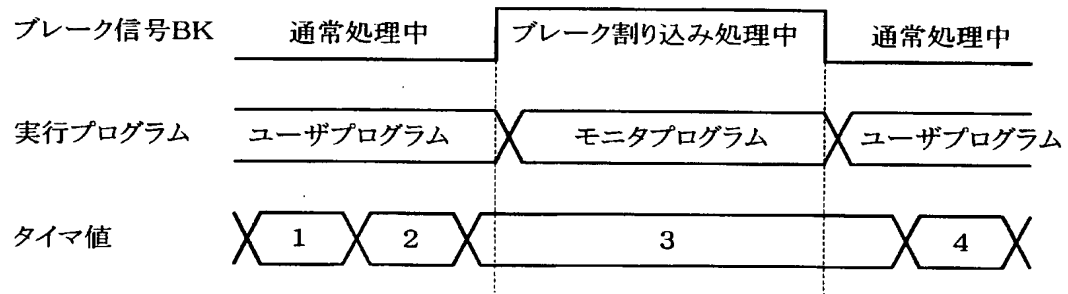


(b)

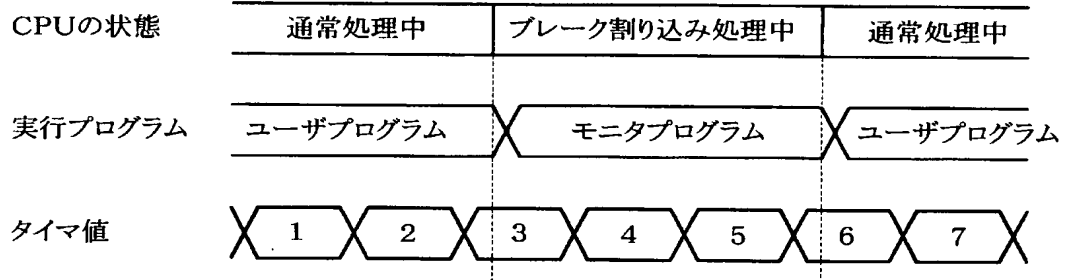


【図 3】

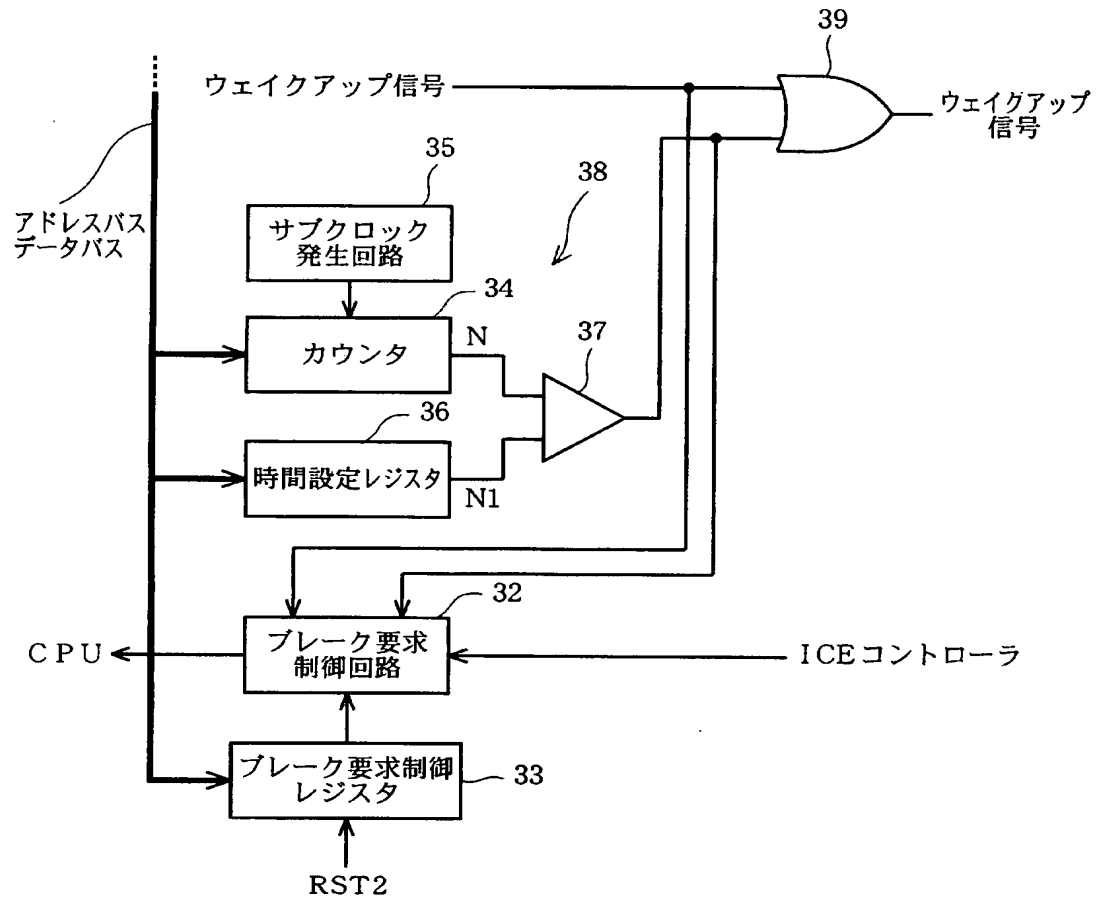
(a)



(b)



【図 4】

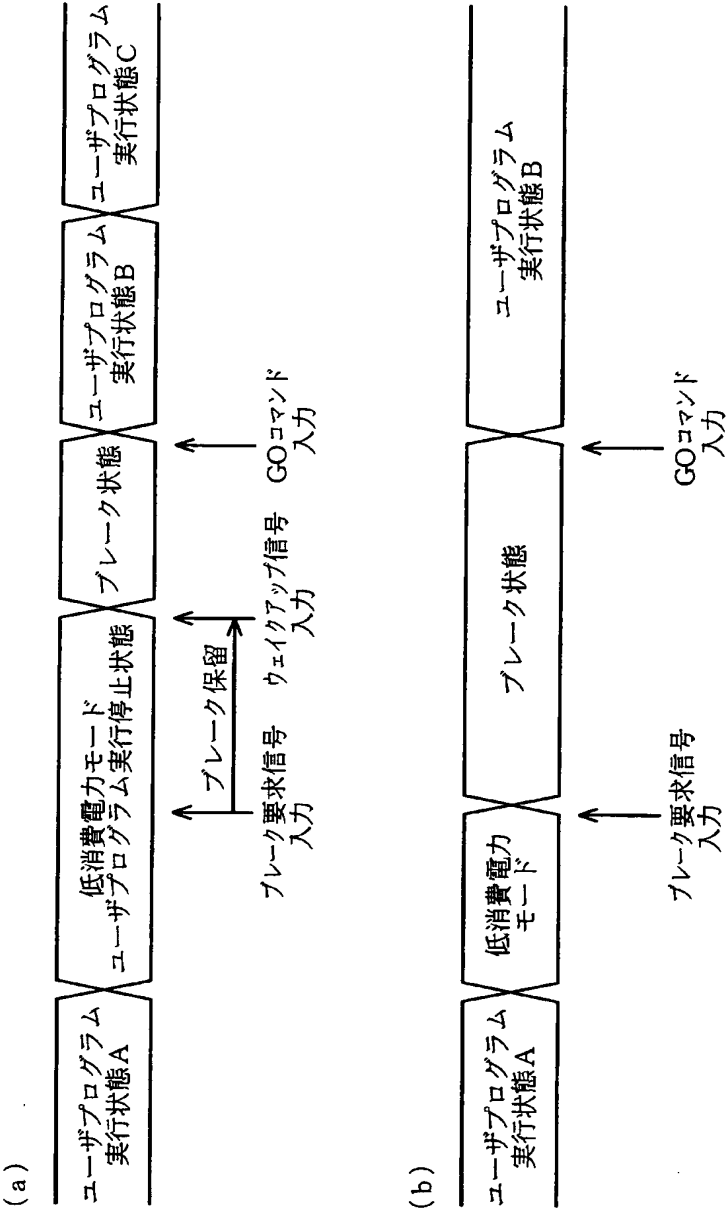


36 : 記憶回路

37 : 比較回路

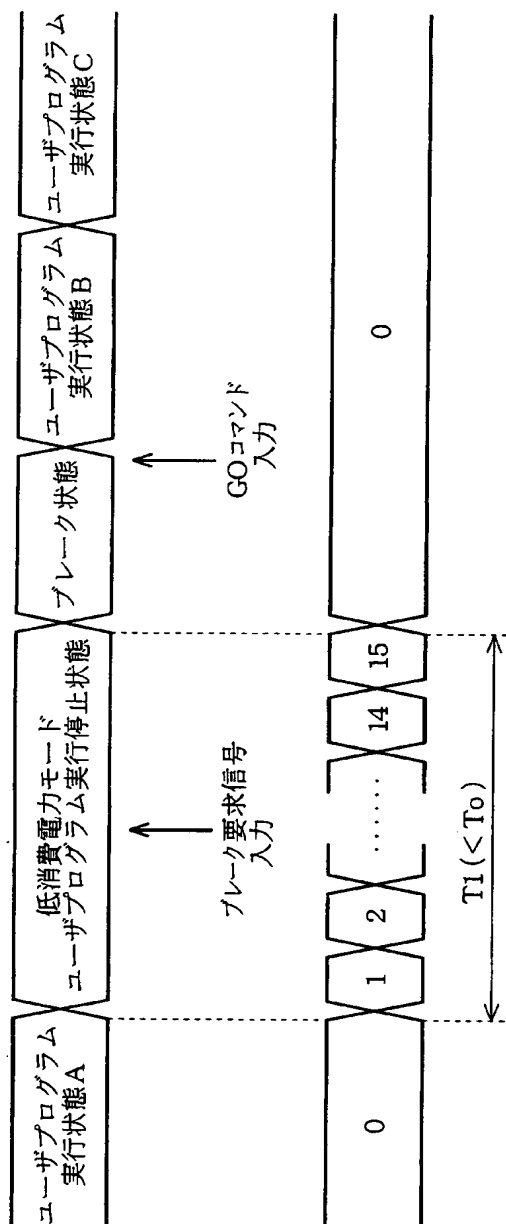
38 : ウェイクアップ信号生成回路

【図 5】

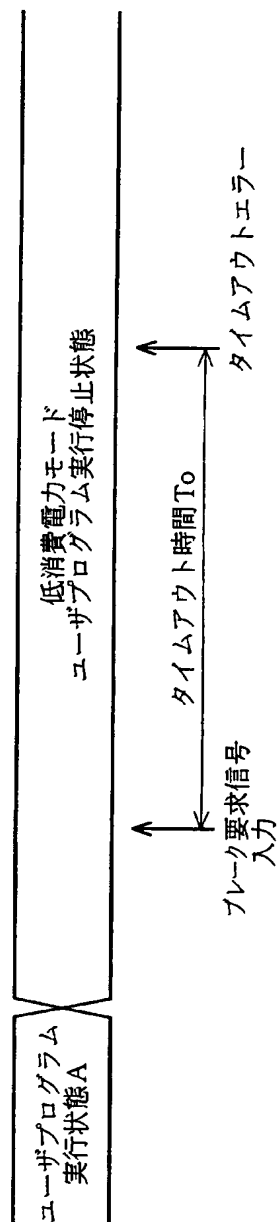


【図 6】

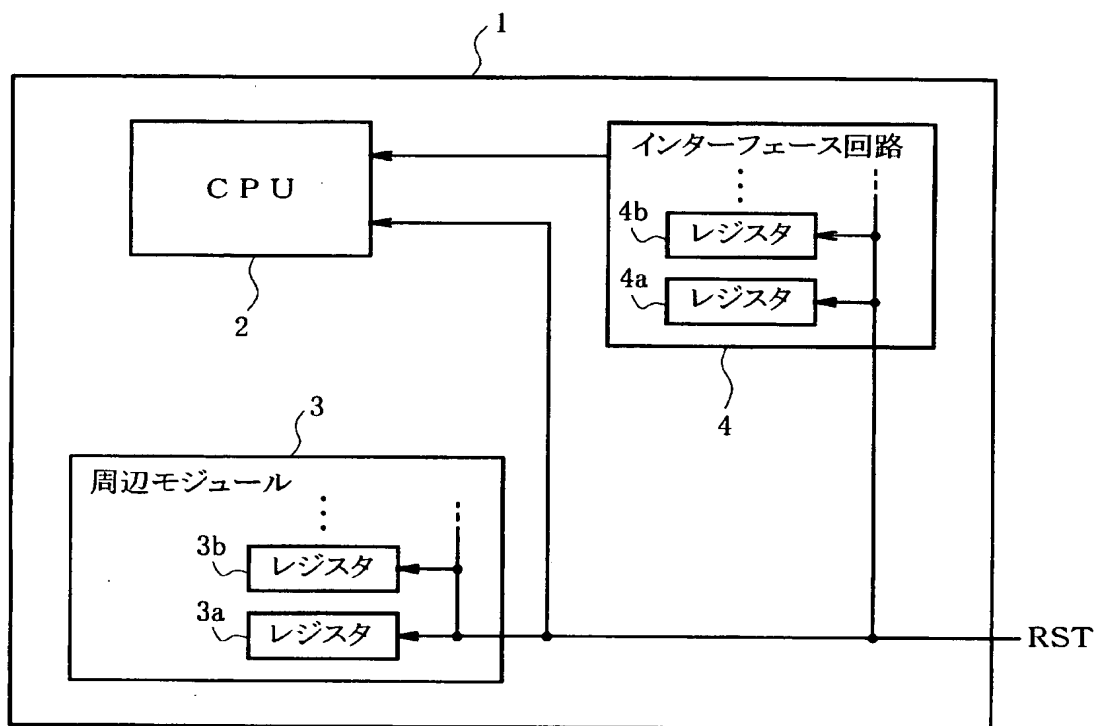
(a)



(b)



【図 7】



【書類名】 要約書

【要約】

【課題】 ブレーク要求受付け時における周辺回路の状態を容易且つ正確に確認する。

【解決手段】 エバチップ 1 4 内の周辺モジュール 2 3 に設けられた動作設定レジスタ 2 9 に停止制御を許可する指令データが記憶されている場合、周辺モジュール 2 3 の停止制御回路 3 0 は、C P U 2 2 がブレーク割り込み要求に対するモニタプログラムの処理を終了するまでの期間、機能回路 2 6 の動作の進行を停止する。また、回路基板 1 2 からのリセット信号 R S T 1 によっては、動作設定レジスタ 2 9 、停止制御回路 3 0 、インターフェース回路 2 7 はリセットされず、C P U 2 2 は、モニタプログラムを起動することなく、直接ユーザプログラムの実行を開始する。

【選択図】 図 1

特願 2 0 0 4 - 0 0 6 8 2 8

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 4 2 6 0]

1. 変更年月日

1 9 9 6 年 1 0 月 8 日

[変更理由]

名称変更

住 所

愛知県刈谷市昭和町 1 丁目 1 番地

氏 名

株式会社デンソー